

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-260783

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/205

H03F 3/60

(21)Application number : 11-065253

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 11.03.1999

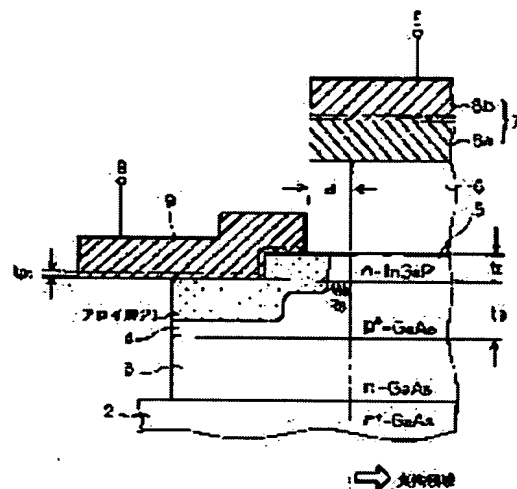
(72)Inventor : HIRATA KOJI
TAKAZAWA HIROYUKI

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURE, HIGH-FREQUENCY POWER AMPLIFIER, AND RADIO COMMUNICATION APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a heterojunction bipolar transistor of superior high-speed property.

SOLUTION: This semiconductor device has a sub-collector layer 2, a collector layer 3, a base layer 4, an emitter layer (InGaP layer) 5, and an emitter cap layer 6, which are formed by in sequence respectively overlaying them in a predetermined form at one face side of a semi-insulative GaAs substrate, and also has a heterojunction bipolar transistor of such a structure that the inner end part of a base electrode 9 is overlaid on the margin of the emitter layer 5, and the base electrode 9 is electrically connected to the base layer with an alloy layer through alloy processing of the emitter layer 5 under the base electrode. The emitter layer 5 is selectively formed on the base layer 4, and the base electrode 9 is extended from a peripheral part of the emitter layer 5 to the base layer 4, and the alloy layer is extended up to a depth in the middle of the base layer 4. The edge of the base layer 4 is positioned more to the inside than to the outer edge of the base electrode 9.



LEGAL STATUS

[Date of request for examination]

14.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-260783

(P2000-260783A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.⁷

識別記号

F I

テマコード^{*} (参考)

H 0 1 L 21/331

H 0 1 L 29/72

5 F 0 0 3

29/73

H 0 3 F 3/60

5 J 0 6 7

29/205

H 0 1 L 29/205

H 0 3 F 3/60

審査請求 未請求 請求項の数14 O L (全 16 頁)

(21) 出願番号 特願平11-65253

(22) 出願日 平成11年3月11日 (1999.3.11)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 平田 宏治

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

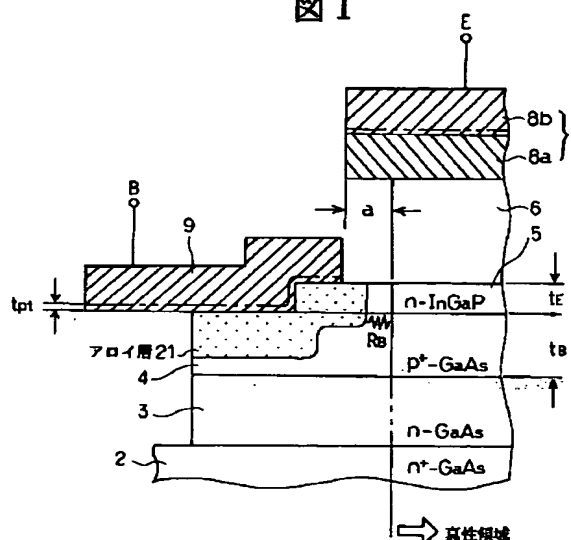
(54) 【発明の名称】 半導体装置、その製造方法、高周波電力増幅装置および無線通信装置

(57) 【要約】 (修正有)

【課題】 高速性の優れたヘテロ接合バイポーラトランジスタの提供。

【解決手段】 半絶縁性GaAs基板の一面側にそれぞれ所定形状に順次重ねて形成されるサブコレクタ層2、コレクタ層3、ベース層4、エミッタ層 (InGaP層) 5およびエミッタキャップ層6を有するとともに、前記エミッタ層の周縁上にベース電極9の内端部分が重なりかつ前記ベース電極はベース電極下の前記エミッタ層の合金処理による合金層によって前記ベース層に電気的に接続される構造のヘテロ接合バイポーラトランジスタを有する半導体装置であって、前記エミッタ層は前記ベース層上に選択的に形成され、前記ベース電極は前記エミッタ層の周縁部分から前記ベース層に掛けて延在し、前記合金層は前記ベース層の途中深さにまで延在している。前記ベース層の縁は前記ベース電極の外縁よりも内側に位置している。

図 1



【特許請求の範囲】

【請求項1】 半導体基板の一面側にそれぞれ所定形状に順次重ねて形成されるサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層を有するとともに、前記エミッタ層の周縁上にベース電極の内端部分が重なりかつ前記ベース電極はベース電極下の前記エミッタ層の合金処理による合金層によって前記ベース層に電気的に接続される構造のヘテロ接合バイポーラトランジスタを有する半導体装置であって、前記エミッタ層は前記ベース層上に選択的に形成され、前記ベース電極は前記エミッタ層の周縁部分から前記ベース層に掛けて延在し、前記合金層は前記ベース層の途中深さにまで延在していることを特徴とする半導体装置。

【請求項2】 前記ベース層の縁は前記ベース電極の外縁よりも内側に位置していることを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体基板の一面側にそれぞれ所定形状に順次重ねて形成されるサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層を有するとともに、前記エミッタ層の周縁上にベース電極の内端部分が重なりかつ前記ベース電極はベース電極下の前記エミッタ層の合金処理による合金層によって前記ベース層に電気的に接続される構造のヘテロ接合バイポーラトランジスタを有する半導体装置であって、前記ベース層の縁は前記エミッタ層の縁よりも内側に位置するとともに前記ベース電極は前記ベース層に直接接触しない構造になっていることを特徴とする半導体装置。

【請求項4】 前記半導体基板は半絶縁性GaAs基板で形成され、前記サブコレクタ層およびコレクタ層はn型のGaAs層で形成され、前記ベース層はp型のGaAs層で形成され、前記エミッタ層はn型のInGaP層で形成され、前記エミッタキャップ層はn型のGaAs層で形成されていることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。

【請求項5】 前記InGaPからなるエミッタ層は15～30nm程度の厚さになっていることを特徴とする請求項1乃至請求項4のいずれか1項に記載の半導体装置。

【請求項6】 前記エミッタ電極の表層部分は前記ベース電極を構成する電極層で形成されていることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置。

【請求項7】 前記ベース電極は最下層がPtとなるPt/Ti/Mo/Ti/Pt/Auとなっていることを特徴とする請求項1乃至請求項6のいずれか1項に記載の半導体装置。

【請求項8】 InGaPエミッタ層の厚さを t_E 、ベース層厚さを t_B 、ベース電極の最下層のPtの厚さを t_{Pt} としたとき、 $t_{Pt} \geq 2t_E$ 、 $t_B > 2t_{Pt}$ の関係を満たす構造になっていることを特徴とする請求項1乃至請求

項7のいずれか1項に記載の半導体装置。

【請求項9】 半導体基板の一面にサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層となる各半導体層を順次形成した後、前記各半導体層のうち所定の半導体層をエッチングして所定パターンに形成して前記サブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層を形成するとともに、前記エミッタ層上にエミッタ電極を形成し、前記エミッタ層の周縁上に内端部分が重なるベース電極を形成し、前記コレクタ層上にコレクタ電極を形成し、かつ前記ベース電極の下のエミッタ層を合金処理して合金層を介してベース電極をベース層に電気的に接続させることによってヘテロ接合バイポーラトランジスタを製造する半導体装置の製造方法であって、

前記半導体基板の一面にサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層となる各半導体層を順次形成する工程と、
前記エミッタキャップ層となる半導体層上にエミッタ電極を構成する第1電極層を選択的に形成する工程と、
前記第1電極層をエッチング用マスクとして前記エミッタキャップ層となる半導体層をエッチングして周縁が前記エミッタ電極の縁よりも内側になるエミッタキャップ層を形成する工程と、

前記エミッタキャップ層および前記エミッタ電極を構成する第1電極層を覆うようにエッチング用マスクを形成した後前記エミッタ層となる半導体層をエッチングしてエミッタ層を形成する工程と、

前記エッチング用マスクを除去した後前記半導体基板の一面側全域にホトレジストマスクを形成し、さらに電極層を形成するとともに不要部分をリフトオフし、前記エミッタ層の周縁上から前記ベース層となる半導体層上に亘って延在する前記電極層によるベース電極と前記第1電極層と前記第1電極層上に一致して重なる前記電極層で構成される第2電極層とによってエミッタ電極とを形成する工程と、

前記ベース電極の外端部分を露出させかつ前記エミッタ層やエミッタ電極を覆うようにエッチング用マスクを形成するとともに前記ベース層およびコレクタ層となる半導体層をアンダーカットエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板の一面にサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層となる各半導体層を順次形成した後、前記各半導体層のうち所定の半導体層をエッチングして所定パターンに形成して前記サブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層を形成するとともに、前記エミッタ層上にエミッタ電極を形成し、前記エミッタ層の周縁上に内端部分が重なるベース電極を形成し、前記コレクタ層上にコレクタ電極を形成し、かつ前記ベース電極の下のエミッタ層を合金処理して合金

層を介してベース電極をベース層に電氣的に接続させることによってヘテロ接合バイポーラトランジスタを製造する半導体装置の製造方法であって、

前記半導体基板の一面にサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層となる各半導体層を順次形成する工程と、

前記エミッタキャップ層となる半導体層上にエミッタ電極を構成する第1電極層を選択的に形成する工程と、

前記第1電極層をエッチング用マスクとして前記エミッタキャップ層となる半導体層をエッチングして周縁が前記エミッタ電極の縁よりも内側になるエミッタキャップ層を形成する工程と、

前記エミッタキャップ層および前記エミッタ電極を構成する第1電極層を覆うようにエッチング用マスクを形成した後前記エミッタ層となる半導体層をエッチングしてエミッタ層を形成する工程と、

前記エッチング用マスクを除去した後前記半導体基板の一面側全域にホトレジストマスクを形成し、さらに電極層を形成するとともに不要部分をリフトオフし、前記エミッタ層の周縁上から前記ベース層となる半導体層上に亘って延在する前記電極層によるベース電極と前記第1電極層と前記第1電極層上に一致して重なる前記電極層で構成される第2電極層とによってエミッタ電極とを形成する工程と、

前記ベース電極の外端部分を露出させかつ前記エミッタ層やエミッタ電極を覆うようにエッチング用マスクを形成するとともに前記ベース電極と前記ベース層が直接接触しないように前記ベース層およびコレクタ層の縁が前記エミッタ層の縁よりも内側に位置するようにアンダーカットエッチングを行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 半絶縁性GaAs基板からなる半導体基板の一面にn型のGaAs層からなるサブコレクタ層、n型のGaAs層からなるコレクタ層、p型のGaAs層からなるベース層、n型のInGaP層からなるエミッタ層、n型のGaAs層からなるエミッタキャップ層を順次形成するとともに、前記エミッタ層は塩酸をエッチャントとするウェットエッチングによってエッチングし、前記コレクタ層およびサブコレクタ層はリン酸をエッチャントとするウェットエッチングによってエッチングすることを特徴とする請求項9または請求項10に記載の半導体装置の製造方法。

【請求項12】 前記ベース電極は最下層がPtとなるPt/Ti/Mo/Ti/Pt/Auで形成することを特徴とする請求項9乃至請求項11のいずれか1項に記載の半導体装置の製造方法。

【請求項13】 請求項1乃至請求項8に記載される半導体装置が組み込まれたことを特徴とする高周波電力増幅装置。

【請求項14】 請求項13に記載される高周波電力増

幅装置を組み込んでなる無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、その製造方法、高周波電力増幅装置および無線通信装置に係わり、特に超高速IC用の素子となるヘテロ接合バイポーラトランジスタに適用して有効な技術に関する。

【0002】

【従来の技術】高速性能、低消費電力性能が優れた半導体デバイスとしてヘテロ接合バイポーラトランジスタ(Heterojunction Bipolar Transistor: HBT)が知られている。このようなHBTは、たとえば携帯電話等の移動体通信端末の高周波電力増幅装置(RFパワーアンプモジュール)に組み込まれて使用されている。

【0003】HBTは、半導体基板の一面(主面)上にサブコレクタ層およびコレクタ層を順次積層するとともに、このコレクタ層上に部分的にベース層を形成し、かつ前記ベース層上に部分的にワイドバンドギャップの半導体からなるエミッタ層を形成した構造になっている。

【0004】また、エミッタとベース間の少数キャリアの再結合による利得の低下を抑止するためにエミッタ層をInGaP層とした通電劣化が少なく信頼性が高いInGaP/GaAs HBTが知られている。また、これらのHBTにおいてp型となるベース層のドーパントとして、大電流動作でも動き難い炭素(C)が用いられている。

【0005】このような構造は、たとえば、International Electron Devices Meeting Digest p.191, 1994 (High-Reliability InGaP/GaAs HBTs Fabricated Self Aligned Process)に記載されている。

【0006】この文献には、信頼性向上のためベース層上に薄いエミッタ層を残し、その上にベース電極を形成し、前記薄いエミッタ層を介して(アロイ化)オーミック電極を形成するHBTが開示されている。また、ベース部分のメサエッチングは、前記ベース電極をマスクとする反応性イオンエッチング(RIE法)によって、エミッタ層、ベース層およびコレクタ層をエッチングして形成している。

【0007】一方、特開平9-102502号には、ベース層に接触するベース電極がエミッタ層を構成する最下層の半導体層の端部を被覆して接合破壊を起き難くしたHBT(エミッタ層がInGaPとなるGaAs系HBT)が開示されている。この構造では、合金化によらずにベース電極とベース層とのオーミック接触を得る構造になっている。

【0008】他方、特開平9-36131号公報には、ベース・コレクタ間容量を低減するために、ベース層をエッチングする際、ウェットエッチングを長引かせてベース電極の下部までサイドエッチングしてベース・コレクタの接合面積を低減させる技術(エミッタをAlGaAsと

するGaAs系HBT)が開示されている。なおベース・コレクタ間容量を低減させる同様の技術が特開平8-195400号公報に開示されている。

【0009】

【発明が解決しようとする課題】前記文献にも示されているように、AlGaAs/GaAs系HBTにおいて、高速性を図るためには、ベース・コレクタ接合面積を小さくしてベース・コレクタ間容量を低減させることが重要である。ベース・コレクタ間容量を低減させるため、従来はベース層（またはベース層およびコレクタ層）をエッチングする際、エッチング時間を多くとり、ベース電極の下部にまでサイドエッチングする技術（アンダーカット技術）が採用されている。

【0010】一方、本出願人においては、エミッタ層をInGaPとするInGaP/GaAs系HBTの開発を推進している。本HBTにおいてもAlGaAs/GaAs系HBTと同様に高速性が要請されている。

【0011】そこで、本発明者はベース・コレクタ間容量を低減させるため、ベース電極の下部側までベース層およびコレクタ層をエッチングしたが、このエッチングにおいて下記のような問題が派生することを知見した。

【0012】図14～図19は本発明者が試みた本出願に先立って行った半導体装置の製造方法に係わる図である。図14に示すように、半絶縁性GaAsからなる基板（半導体基板）1の一面（主面）上にはエピタキシャル成長によって順次半導体層を形成する。これら半導体層は基板上から上に向かってn⁺型GaAsからなるサブコレクタ層2、n型GaAsからなるコレクタ層3、p⁺型GaAsからなるベース層4、n型InGaPからなるエミッタ層5、n型GaAsからなるエミッタキャップ層6となる。なお、前記エミッタキャップ層6は複数の層からなる構造でもよい。

【0013】つぎに、図14に示すように、エミッタキャップ層6となる半導体層上にエミッタ電極の下層を構成する第1電極層8aを形成した後、この第1電極層8aをエッチング用マスクとしてエッチングを行い、周縁が前記第1電極層8aの縁よりも内側に位置するエミッタキャップ層6を形成する。前記第1電極層8aはたとえばWSiからなっている。

【0014】つぎに、半導体基板1の主面側全域にホトレジストマスクを形成し、さらに電極層を形成するとともに、前記電極層の不要部分をリフトオフ法により選択的に除去して、図15に示すように、エミッタキャップ層6上に前記第1電極層8aと一致して重なる第2電極層8bを形成して第1電極層8aと第2電極層8bによってエミッタ電極7を形成するとともに、前記エミッタキャップ層6の周囲にベース電極9を形成する。電極層はエミッタ層5の表面と第1電極層8aの表面との段差が大きいことからこの段差部分で千切れて分離するとともに、第1電極層8aの縁がエミッタキャップ層6の縁

よりも突出していることからベース電極9とエミッタキャップ層6とは一定の間隔を隔てて位置するようになる。前記電極層はPt, Ti, Mo, Au等を多層に形成した構造になっている。

【0015】つぎに、図16に示すように、絶縁膜からなるマスク（エッチング用マスク）10を前記エミッタ電極7および外端部分を除くベース電極9を覆うように形成するとともに、塩酸をエッチャントとするウエットエッチングによってInGaPエミッタ層5をアンダーカットエッチングする。この結果、InGaPエミッタ層5の縁はベース電極9の縁よりも内側に位置するようになる。

【0016】つぎに、図17に示すように、前記エッチング用マスク10、ベース電極9、エミッタ層5をエッチング用のマスクとしてベース層4やコレクタ層3となる半導体層をリン酸をエッチャントとするウエットエッチングによってアンダーカットエッチングしてベース層4およびコレクタ層3を形成する。このアンダーカットエッチングによってベース層とコレクタ層との間の接合面積は小さくなり、ベース・コレクタ間容量の低減を図ることができる。

【0017】しかし、前記塩酸によるエッチングにおいては、ベース電極の構成材料であるTi, Moが浸食されて電極の劣化が発生したり、前記Ti, Moの浸食に起因して電極上のマスク10の剥がれが起きてキャップ層6とベース電極9との間のInGaPエミッタ層5がエッチングされたりする。これらはいずれも特性の劣化を引き起こす原因になる。

【0018】また、図18に示すように、ベース電極9の周辺ではInGaP層が完全に除去されずInGaPエッチング残り（残渣11）が発生してしまうことが分かった。

【0019】また、リン酸によるウエットエッチングでは、図19に示すように、前記残渣11が存在する部分は、その残渣11がマスクとなってベース層がエッチングされず、かつその下のコレクタ層もエッチングされないというベース・コレクタエッチング不良12が発生することが分かった。この結果、ベース・コレクタ間容量が増大したり、ベース・コレクタ間容量のばらつきが大きくなり、ヘテロ接合バイポーラトランジスタの特性の低下や再現性を低下させることになる。

【0020】本発明の目的は、高速特性の高いヘテロ接合バイポーラトランジスタおよびその製造方法を提供することにある。

【0021】本発明の他の目的は、ヘテロ接合バイポーラトランジスタのベース・コレクタ接合面積の縮小化のためのエッチングにおいて、ベース電極やエミッタ層の劣化を低減できる技術を提供することにある。

【0022】本発明の他の目的は、ヘテロ接合バイポーラトランジスタのベース・コレクタ接合面積の縮小化の

ためのエッチングを高精度にかつ再現性良く行える技術を提供することにある。

【0023】本発明の他の目的は、HBTを組み込んだ特性の良好な信頼性の高い高周波電力増幅装置を提供することにある。

【0024】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0025】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0026】(1) 半導体基板の一面側にそれぞれ所定形状に順次重ねて形成されるサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層を有するとともに、前記エミッタ層の周縁上にベース電極の内端部分が重なりかつ前記ベース電極はベース電極下の前記エミッタ層の合金処理による合金層によって前記ベース層に電気的に接続される構造のヘテロ接合バイポーラトランジスタを有する半導体装置であって、前記エミッタ層は前記ベース層上に選択的に形成され、前記ベース電極は前記エミッタ層の周縁部分から前記ベース層に掛けて延在し、前記合金層は前記ベース層の途中深さにまで延在している。前記ベース層の縁は前記ベース電極の外縁よりも内側に位置している。前記半導体基板は半絶縁性GaAs基板で形成され、前記サブコレクタ層およびコレクタ層はn型のGaAs層で形成され、前記ベース層はp型のGaAs層で形成され、前記エミッタ層はn型のInGaP層で形成され、前記エミッタキャップ層はn型のGaAs層で形成されている。前記InGaPからなるエミッタ層は15~30nm程度の厚さになっている。前記エミッタ電極の表層部分は前記ベース電極を構成する電極層で形成されている。前記ベース電極は最下層がPtとなるPt/Ti/Mo/Ti/Pt/Auとなっている。InGaPエミッタ層の厚さを t_g 、ベース層厚さを t_B 、ベース電極の最下層のPtの厚さを t_{Pt} としたとき、 $t_{Pt} \geq 2t_g$ 、 $t_B > 2t_{Pt}$ の関係を満たす構造になっている。

【0027】このような半導体装置は以下の方法によって製造される。

【0028】半導体基板の一面にサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層となる各半導体層を順次形成した後、前記各半導体層のうち所定の半導体層をエッチングして所定パターンに形成して前記サブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層を形成するとともに、前記エミッタ層上にエミッタ電極を形成し、前記エミッタ層の周縁上に内端部分が重なるベース電極を形成し、前記コレクタ層上にコレクタ電極を形成し、かつ前記ベース電極の下のエミッタ層を合金処理して合金層を

介してベース電極をベース層に電気的に接続させることによってヘテロ接合バイポーラトランジスタを製造する半導体装置の製造方法であって、前記半導体基板の一面にサブコレクタ層、コレクタ層、ベース層、エミッタ層およびエミッタキャップ層となる各半導体層を順次形成する工程と、前記エミッタキャップ層となる半導体層上にエミッタ電極を構成する第1電極層を選択的に形成する工程と、前記第1電極層をエッチング用マスクとして前記エミッタキャップ層となる半導体層をエッチングして周縁が前記エミッタ電極の縁よりも内側になるエミッタキャップ層を形成する工程と、前記エミッタキャップ層および前記エミッタ電極を構成する第1電極層を覆うようにエッチング用マスクを形成した後前記エミッタ層となる半導体層をエッチングしてエミッタ層を形成する工程と、前記エッチング用マスクを除去した後前記半導体基板の一面側全域にホトレジストマスクを形成し、さらに電極層を形成するとともに不要部分をリフトオフ法により除去し、前記エミッタ層の周縁上から前記ベース層となる半導体層上に亘って延在する前記電極層によるベース電極と前記第1電極層と前記第1電極層上に一致して重なる前記電極層で構成される第2電極層とによってエミッタ電極とを形成する工程と、前記ベース電極の外端部分を露出させかつ前記エミッタ層やエミッタ電極を覆うようにエッチング用マスクを形成するとともに前記ベース層およびコレクタ層となる半導体層をアンダーカットエッチングする工程とを有する。

【0029】半絶縁性GaAs基板からなる半導体基板の一面にn型のGaAs層からなるサブコレクタ層、n型のGaAs層からなるコレクタ層、p型のGaAs層からなるベース層、n型のInGaP層からなるエミッタ層、n型のGaAs層からなるエミッタキャップ層を順次形成するとともに、前記エミッタ層は塩酸をエッチャントとするウエットエッチングによってエッチングし、前記コレクタ層およびサブコレクタ層はリン酸をエッチャントとするウエットエッチングによってエッチングする。前記InGaPからなるエミッタ層は15~30nm程度の厚さに形成する。前記ベース電極は最下層がPtとなるPt/Ti/Mo/Ti/Pt/Auで形成する。InGaPエミッタ層の厚さを t_g 、ベース層厚さを t_B 、ベース電極の最下層のPtの厚さを t_{Pt} としたとき、 $t_{Pt} \geq 2t_g$ 、 $t_B > 2t_{Pt}$ の関係を満たすように前記各層を形成する。

【0030】(2) 前記手段(1)の構成のヘテロ接合バイポーラトランジスタにおいて、前記ベース層の縁が前記エミッタ層の縁よりも内側に位置するように構成するとともに前記ベース電極は前記ベース層に直接接触しない構造になっている。

【0031】このような半導体装置は前記手段(1)の半導体装置の製造方法において、ベース層およびコレクタ層をアンダーカットエッチングする際、ベース層の縁

が前記エミッタ層の縁よりも内側に位置しかつ前記ベース電極が前記ベース層に直接接触しないようになるまでアンダーカットエッチングを行うものである。

【0032】(3)前記手段(1)または手段(2)のヘテロ接合バイポーラトランジスタを組み込んだ高周波電力増幅装置である。

【0033】(4)前記手段(3)の高周波電力増幅装置を組み込んだ無線通信装置である。

【0034】前記(1)の手段によれば、(a)ベース電極を形成する前に塩酸でInGaPエミッタ層のエッチングを行うことから、ベース電極を構成するMoやTiの浸食が起き難くなり電極の劣化が発生し難くなる。なお、その後に行われるリン酸系によるエッチングでは前記ベース電極の浸食は発生しない。

【0035】(b)また、TiやMoの浸食が起き難くなることから、ベース電極の表面劣化が発生し難くなり、電極上のマスクが剥がれ難くなり、エミッタキャップ層とベース電極との間のInGaPエミッタ層がエッチングされ難くなり、ヘテロ接合バイポーラトランジスタの特性の低下を低減できる。

【0036】(c)また、TiやMoの浸食等によって発生する物質がエッチング効果を低減させることがないため、InGaPエミッタ層はエッチング用マスクに規定されて高精度にエッチングされ、InGaPの残渣の発生が起き難くなる。この結果、リン酸によるベース層およびコレクタ層のアンダーカットエッチング精度も良好になり、設計値通りにベース・コレクタ間容量を形成できるようになる。したがって、高速性に優れたヘテロ接合バイポーラトランジスタを提供することができる。

【0037】(d)エッチング時にベース電極の浸食が発生し難くなるとともに、エッチング用マスクの剥離も発生し難くなることから、HBT製造プロセスが安定し、歩留りの向上から半導体装置の製造コストの低減も達成できる。

【0038】(e)ベース電極はn型InGaPエミッタ層の縁部分からベース層に亘って形成され、かつ前記ベース電極下のn型InGaPエミッタ層はベース電極を構成する最下層の金属との間で合金処理(アロイ化)が図られていて、ベース電極とベース層はオーミック接続される。また、その合金層(アロイ層)のベース・コレクタ接合面に近接する側の底はベース層中に深さが均一化されて形成していることからアロイ層のコレクタ層との接触はなく、素子のベース・コレクタ間耐圧を高く保つことができる。

【0039】(f)前記アロイ化はn型InGaPエミッタ層の面方向にも進むため、エミッタキャップ層の真下のベース層部分の真性領域とアロイ層との間の距離がベース電極との距離に比較して短くなり、ベース抵抗 R_B の低減が図れ、素子(HBT)の高速性が図れる。

【0040】前記(2)の手段によれば、前記手段

(1)の効果に加えて、ベース電極がベース層に直接接触しないようにベース層の縁はさらにエミッタ層の中心側に位置するようになり、ベース・コレクタ間容量の低減化をさらに大きくすることができる。

【0041】前記(3)の手段によれば、高速性等特性の良好な信頼性の高い高周波電力増幅装置を提供することができる。

【0042】前記(4)の手段によれば、高周波電力増幅装置が高速動作することから、送信情報の大容量化が達成できる。

【0043】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0044】(実施形態1)図1乃至図9は本発明の一実施形態(実施形態1)であるヘテロ接合バイポーラトランジスタ(HBT)に係わる図である。

【0045】図1はHBTの一部を示す模式的断面図、図2はHBTを有する半導体装置の模式的平面図、図3(a)は図2のA-A線に沿う断面図、図3(b)は図2のB-B線に沿う断面図である。

【0046】本実施形態1のヘテロ接合バイポーラトランジスタ(HBT)は、図3に示すような構造になっている。

【0047】HBTは、図3に示すように、厚さ $80\mu\text{m}$ 程度の基板(半導体基板:半絶縁性GaAs基板)1の一面(主面)上に選択的にn⁺型GaAs層で形成されるサブコレクタ層(n⁺型GaAsサブコレクタ層)2が設けられている。サブコレクタ層2の厚さは 600nm 程度になる。

【0048】前記サブコレクタ層2の上面中央にはn型GaAs層で形成されるコレクタ層(n型GaAsコレクタ層)3が設けられている。このコレクタ層3は 800nm 程度の厚さになる。

【0049】前記コレクタ層3の上面にはp⁺型GaAs層で形成されるベース層(p⁺型GaAsベース層)4が重なるように設けられている。コレクタ層3とベース層4は同一のパターンになっている。前記ベース層4はその厚さが 50nm 程度の厚さになる。

【0050】前記ベース層4の上にはn型InGaP層で形成されるエミッタ層(n型InGaPエミッタ層)5が設けられている。このエミッタ層5の厚さは $15\sim 30\text{nm}$ 程度の厚さ、たとえば 30nm 程度の厚さになる。

【0051】エミッタ層5の周囲にはベース層4の縁部分が露出するようになっている。そして、エミッタ層5の縁部分からベース層4の縁部分にはベース電極9の内端部分が重なるように設けられている。

【0052】また、前記エミッタ層5の上面にはエミッ

タキャップ層6が形成されている。このエミッタキャップ層6はn型GaAs層やn型GaAs層とInGaAs層(上層)等による多層半導体層であってもよい。たとえば、本実施形態1では、特に図示はしないが、下層がn型GaAs層となり、上層がn型InGaAs層となる2層構造になっている。さらに下層のn型GaAs層を低濃度と高濃度の2層構造とし低濃度n型GaAs層を素子の熱暴走を防ぐバラスト抵抗として用いてもよい。2層構造のエミッタキャップ層6はその厚さが300nm程度の厚さになる。

【0053】前記エミッタキャップ層6の上面にはエミッタ電極7が形成されている。このエミッタ電極7は下層が第1電極層8aとなり、上層が第2電極層8bとなっている。

【0054】エミッタキャップ層6は、エミッタキャップ層6上に選択的に設けられた第1電極層8aをマスクとするウエットエッチングによるサイドエッチングによって形成されるため、エミッタキャップ層6の縁が第1電極層8aの縁よりも内側に位置するように形成される。この引っ込み長さa(図1参照)は、たとえば0.2 μ m程度になる。

【0055】また、第2電極層8bおよびベース電極9は、半絶縁性GaAs基板1の主面側にリフトオフ法によって形成された電極層である。すなわち、電極層はエミッタ層5の表面と第1電極層8aの表面との段差が大きいことから、この段差部分で電極層は千切れ、第1電極層8a上に一致残留した電極層は第2電極層8bを構成する。また、千切れて落ちた電極層はエミッタ層5の縁部分からベース層4上に亘って延在する。また、不要な電極層はその後のリフトオフによってパターンニングされ、図3に示すようなベース電極9になる。

【0056】また、第1電極層8aの縁がエミッタキャップ層6の縁よりも突出していることからベース電極9とエミッタキャップ層6とは一定の間隔を隔てて位置するようになる。この間隔は前記引っ込み長さaと同程度になる。

【0057】前記第1電極層8aおよびベース電極9は厚さ300nmのWSiで形成され、第2電極層8bは最下層がPtとなるPt/Ti/Mo/Ti/Pt/Auによって形成される。第2電極層8bはその厚さが全体で300nm程度になる。

【0058】第2電極層8bの各層の厚さの1例を挙げると、Pt(15~30nm)/Ti(1~30nm)/Mo(10~50nm)/Ti(30~60nm)/Pt(30~60nm)/Au(100~200nm)となる。

【0059】また、本実施形態1のHBTは、その製造の途中において熱処理され、前記第2電極層8bの最下層のPtとn型InGaPエミッタ層5との合金処理(アロイ化)が図られる。アロイ化はn型InGaPエ

ミッタ層5の全深さに亘って行われ、n型InGaPエミッタ層5の下層のベース層4の表層部分にまで合金層(アロイ層)21が広がる(図1参照)。

【0060】このアロイ層21のベース・コレクタ接合面に近い底はベース層中に一定深さになることから、コレクタ層との接触はなく耐圧を高く保つことができる。

【0061】また、アロイ化はn型InGaPエミッタ層5の面方向にも進むため、エミッタキャップ層6の真下の真性領域とアロイ層21との間の距離が短くなり、ベース抵抗 R_B の低減が図れ、素子(HBT)の高速性が図れる(図1参照)。

【0062】また、コレクタ層3から外れたサブコレクタ層2上にはコレクタ電極13が設けられている。

【0063】前記第2電極層8bおよびベース電極9は最下層がPtとなるPt/Ti/Mo/Ti/Pt/Auとなっているが、最下層のPtとn型InGaPエミッタ層5およびp型GaAsベース層4の相互の厚さの関係はつぎのようになっている。すなわち、InGaPエミッタ層の厚さを t_E 、ベース層厚さを t_B 、ベース電極の最下層のPtの厚さを t_{Pt} としたとき、 $t_{Pt} \geq 2t_E$ 、 $t_B > 2t_{Pt}$ の関係を満たす構造になっている。この結果、アロイ層21はエミッタ層5を貫通してベース層4との間でオーミック接合が可能になるとともに、アロイ層21はベース層4内に留まり、コレクタ層3とは電気的に接触しなくなる。

【0064】第2電極層8bおよびベース電極9を構成する電極材料は最下層がPtとなるが前記Ti/Mo/Ti/Ptは、熱処理時その上の層を構成する金属が下の層に拡散するのを防止する役割を果たしている。したがって、アロイ処理時、n型InGaPエミッタ層5やp型GaAsベース層4へのTi、Mo、Auの拡散を低減でき、素子特性を劣化させなくなる。

【0065】一方、半絶縁性GaAs基板1の主面側は厚い絶縁膜14で覆われている。この絶縁膜14は、たとえば絶縁性のポリイミド樹脂で形成され、ポリイミド樹脂の塗布、硬化処理、その後のバックエッチ処理による平坦化、さらにはコンタクト孔形成が行われる。そして、コンタクト孔部分や露出したエミッタ電極7部分は、導電性材料(たとえばAu)によって配線15が設けられている。

【0066】図2は各配線15と外部電極端子のレイアウトを示すHBTが形成された半導体装置、すなわち半導体素子(半導体チップ)16の模式的平面図である。

【0067】半導体チップ16の中央の二点鎖線で示す部分がエミッタ電極7に接続される配線15(エミッタ配線15E)であり、その内側の実線で示す矩形枠部分が外部電極端子となるエミッタ用電極パッドBP_Eである。

【0068】前記エミッタ配線15Eを囲むように形成された実線で示される大きな矩形枠部分がベース電極9

であり、これに交わるように二点鎖線で示された部分が配線15(ベース配線15B)であり、その内側の実線で示す矩形枠部分が外部電極端子となるベース用電極パッドBP_Bである。

【0069】前記ベース配線15Bの上部を取り囲むように延在する実線で示す逆コの字状のパターン部分がコレクタ電極13であり、これに交わるように二点鎖線で示された部分が配線15(コレクタ配線15C)であり、その中央部分に位置する実線で示す矩形枠部分が外部電極端子となるコレクタ用電極パッドBP_Cである。

【0070】つぎに、本実施形態1によるHBTを有する半導体装置の製造方法について説明する。図4乃至図9は本実施形態1のHBTの製造方法を示す各工程での半導体基板の模式的断面図である。なお、断面の方向は図2におけるA-A線に沿う方向である。

【0071】図4に示すように、600μm程度の厚さの半絶縁性GaAs基板1の主面にMOCVD法やMBE法によって各半導体層、すなわちn⁺型GaAsからなるサブコレクタ層2〔不純物(Si)濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 程度で厚さ600nm程度〕、n型GaAsからなるコレクタ層3〔不純物(Si)濃度が 10^{16} cm^{-3} 程度で厚さ800nm程度〕、p⁺型GaAsからなるベース層4〔不純物(C)濃度が $4 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度で厚さ50nm程度〕、n型InGaPからなるエミッタ層5〔不純物(Si)濃度が $3 \times 10^{17} \text{ cm}^{-3}$ で厚さ30nm程度〕、n型GaAsからなるエミッタキャップ層6〔厚さは300nm程度〕を順次形成する。

【0072】本実施形態1は特に図示はしないがエミッタキャップ層6は下層のn型GaAs層と上層のn型InGaAs層で形成する。さらに、下層のn型GaAs層は低濃度層と高濃度層の2層構造になっている。

【0073】つぎに、図5に示すように、エミッタキャップ層6となる半導体層上にエミッタ電極の下層を構成する第1電極層8aを、常用の電極層形成、ホットエッチング技術等の方法で形成した後、この第1電極層8aをエッチング用マスクとしてエッチングを行い、周縁が前記第1電極層8aの縁よりも内側に引っ込んだ(引っ込み長さa)エミッタキャップ層6を形成する。引っ込み長さaは、たとえば0.2μm程度である。前記第1電極層8aはたとえば300nm程度の厚さのWSiで形成される。

【0074】つぎに、図6に示すように、前記エミッタキャップ層6および第1電極層8aを覆うようにInGaPエミッタ層5上に絶縁膜からなるエッチング用マスク30を形成するとともに、このエッチング用マスク30を用いて塩酸によるウェットエッチングを行いn型InGaPエミッタ層5をエッチングし、p⁺型GaAsベース層4の表面を露出させる。本実施形態1では、ベース電極がまだ形成されていないことから、ベース電極

材料であるTiやMoの浸食が起きず、従って浸食によって発生する物質によってエッチングが妨げられることなく、エッチング用マスク30に規定されて高精度なエッチングが可能になる。したがって、図18に示すような残渣の発生も起き難くなる。前記エッチング用マスク30は、たとえば厚さ200nm程度の厚さのSiO₂膜で形成される。また、エッチング用マスク30の中心にエミッタキャップ層6や第1電極層8aが位置する。

【0075】つぎに、前記エッチング用マスク30を除去した後、半絶縁性GaAs基板1の主面側全域にホトレジストマスクを形成してから電極層を形成するとともに、前記電極層を所定のパターンにリフトオフする。電極層は、エミッタ層5の表面と第1電極層8aの表面との段差が大きいことからこの段差部分で千切れて分離する結果、第1電極層8a上に載るものと、エミッタ層5およびベース層4上に亘って載るものとなる。そして、エミッタ層5およびベース層4上に延在する電極層がパターンニングされる。この結果、図7に示すように、第1電極層8a上に一致して重なる第2電極層8bは、第1電極層8aとともにエミッタ電極7を構成し、エミッタ層5およびベース層4上に重なる電極層はベース電極9を構成する。

【0076】第1電極層8aの縁がエミッタキャップ層6の縁よりも突出することから、ベース電極9とエミッタキャップ層6とは一定の間隔を隔てて位置するようになる。この間隔は前記引っ込み長さa程度となる。

【0077】前記電極層は、前述のように最下層がPtで形成されるPt/Ti/Mo/Ti/Pt/Auによって形成される。

【0078】図7に示すエミッタ電極7の幅は1.0μm程度であり、両側のベース電極9の長さはそれぞれ1.0μm程度である。したがって、ベース電極9の外端から外端までの長さは3.0μm程度となる。

【0079】つぎに、この半導体基板1を熱処理し、ベース電極9の下のInGaPエミッタ層5をその全深さに亘ってアロイ化する。たとえば、熱処理は、窒素雰囲気中、350℃程度の温度で30分程度行われる。この結果、図1に示すように、ベース電極9の真下部分のInGaPエミッタ層5は完全にアロイ層21に変わるとともに、その下のベース層4の表層部分もアロイ層21になる。また、ベース電極9が直接接触するベース層4の表層部分もアロイ層21となる。しかし、アロイ層21はコレクタ層3にまで到達あるいは電氣的に支障を来す距離までは到達しないように、前記アロイ化の条件や各層の厚さが設定されている。

【0080】すなわち、前記第2電極層8bおよびベース電極9は最下層がPtとなるPt/Ti/Mo/Ti/Pt/Auとなっているが、最下層のPtとn型InGaPエミッタ層5およびp⁺型GaAsベース層4の

相互の厚さの関係はつぎのようになっている。すなわち、InGaPエミッタ層の厚さを t_E 、ベース層厚さを t_B 、ベース電極の最下層のPtの厚さを t_{Pt} としたとき、 $t_{Pt} \geq 2t_E$ 、 $t_B > 2t_{Pt}$ の関係を満たす構造になっている。この結果、アロイ層21はエミッタ層5を貫通してベース層4との間でオーミック接合が可能になるとともに、アロイ層21はベース層4内に留まり、コレクタ層3とは電氣的に接触しなくなる。

【0081】また、前記アロイ層21のベース・コレクタ接合面に近い底は、前述のような熱処理条件の選択によって一定深さになることから、素子のベース・コレクタ間耐圧を高く保つことができる。

【0082】また、アロイ化はn型InGaPエミッタ層5の面方向にも進むため、エミッタキャップ層6の真下の真性領域とアロイ層21との間の距離が短くなり、ベース抵抗 R_B の低減が図れ、素子(HBT)の高速性が図れる。

【0083】ベース抵抗 R_B の低減は、後述する数式で示されるように最大有能電力(G_{Amax})や最大発振周波数(f_{max})の増大を図ることになる。

【0084】つぎに、図8に示すように、前記ベース電極9の外端を、たとえば0.5 μ m程度突出するようにエッチング用マスク31を形成し、リン酸を用いたウェットエッチングによってp型GaAsベース層4およびn型GaAsコレクタ層3をエッチングする。ベース層4およびコレクタ層3は略同一パターンになる。このエッチング用マスク31も前記エッチング用マスク30と同様に厚さ200nm程度の厚さのSiO₂膜で形成される。

【0085】このエッチングによって、コレクタ層3およびベース層4はその縁がベース電極9の外端よりも内側に位置するアンダーカット構造になり、ベース・コレクタ接合面積の縮小によってベース・コレクタ間容量の低減が図れる。

【0086】HBTの性能指標は、最大有能電力(G_{Amax} : ある周波数 f で得られる最大の電力)、電流利得遮断周波数(f_T : 電流利得が1となる周波数)、最大発振周波数(f_{max} : G_{Amax} が1となる周波数)で表される。これらは次式で与えられる。

【0087】

【数1】

$$G_{Amax} = \frac{1}{8\pi R_B C_{DC}} \cdot \frac{f_T}{f}$$

【0088】ここで、 R_B はベース抵抗、 C_{DC} はベース・コレクタ間容量である。

【0089】

【数2】

$$f_T = \frac{1}{2\pi(\tau_E + \tau_B + \tau_C + \tau_X)}$$

【0090】ここで、 τ_E はエミッタ容量充電時間、 τ_B はベース走行時間、 τ_C はコレクタ容量充電時間、 τ_X はコレクタ空乏層走行時間である。

【0091】

$$【数3】 f_{max} = [f_T / (8\pi R_B C_{BC})]^{1/2}$$

数3より f_{max} が高いほどより高周波で使うことができる。

【0092】 f_T はベース層、コレクタ層の構造やベース・コレクタ接合長によって変化するので、一概には言えないが、本実施形態1によればアンダーカットによってベース・コレクタ接合面積を2/3程度縮小(シュリンク)できるので、ベース・コレクタ間容量を2/3程度には減少させることができる。

【0093】したがって、本実施形態1では従来に比較して容量を2/3にすることができるので、前記数3から f_{max} を約1.2倍にすることができる。また、アンダーカット量をさらに増大させることによって f_{max} をさらに大きくすることができる。

【0094】つぎに、図9に示すように、図示はしないエッチング用マスクを形成した後、半絶縁性GaAs基板1上のサブコレクタ層2の周囲をエッチングして素子分離(アイソレーション)を図るとともに、サブコレクタ層2上にコレクタ電極13を形成する。

【0095】つぎに、半絶縁性GaAs基板1の主面側を、たとえば絶縁性のポリイミド樹脂からなる絶縁膜14で覆うとともに、この絶縁膜14を硬化させ、かつバックエッチ処理による平坦化を行い、さらにコンタクト孔形成後、コンタクト孔部分や露出したエミッタ電極7部分を含む部分に、導電性材料(たとえばAu)によって配線15を設ける(図3参照)。

【0096】配線15パターンは図2に示すように形成する。この部分の説明は先に説明してあるので省略する。

【0097】つぎに、半絶縁性GaAs基板1の裏面をエッチングして、たとえば、半絶縁性GaAs基板1の厚さを80 μ m程度にした後、半絶縁性GaAs基板1を分断して図2および図3に示すような半導体装置、すなわち半導体チップ16を形成する。

【0098】図10は本実施形態1のHBTを複数従属接続した高周波電力増幅装置(送信電力増幅器)を示す斜視図である。

【0099】本実施形態1の高周波電力増幅装置40は、図10の斜視図に示すように、外観的には扁平な矩形体構造になっている。高周波電力増幅装置40は、板状の配線基板41と、この配線基板41の一面側(主面側)に重ねて取り付けられたキャップ42とによって扁平矩形体構造のパッケージ43が構成された構造になっ

ている。前記キャップ42は電磁シールド効果の役割を果たす金属製になっている。

【0100】前記パッケージ43からは電氣的に独立した外部電極端子(電極端子)が突出している。すなわち、この例では、配線基板41の側面から下面に亘って表面実装用の外部電極端子が設けられている。この外部電極端子は配線基板41の表面に形成された配線とこの配線の表面に形成されたPbSnハンダ等により形成されている。

【0101】外部電極端子は、図10に示すように、パッケージ43の一縁では左から右に向かって入力端子(Pin)、グランド端子(GND)、制御端子(Vapc)となり、パッケージ43の他縁では左から右に向かって出力端子(Pout)、GND、電源端子(Vcc)となっている。

【0102】高周波電力増幅装置40は、図11の等価回路に示すように、本実施形態1によるヘテロ接合バイポーラトランジスタを複数順次従属接続した多段構成の増幅器を構成している。図示はしないが前記配線基板41は多層構造の配線基板となり、配線基板41の一面側(内面側)にはそれぞれヘテロ接合バイポーラトランジスタが形成された半導体チップ16や、コンデンサや抵抗等が固定されている。図11の等価回路において、各部には整合用または電位調整等の目的で、コンデンサ(C1~C10)、バイパスコンデンサ(CB)、抵抗(R1~R4)が組み込まれている。また、Q1、Q2はヘテロ接合バイポーラトランジスタであり、白抜き枠はマイクロストリップラインを示すものである。

【0103】本実施形態1の高周波電力増幅装置40は、たとえば、送信周波数が800MHz~2GHz用で電源電圧が2.7~4.2V、出力が28~32dBm、効率が55~60%である。

【0104】図11は本実施形態1のHBTが組み込まれた無線通信装置のシステム構成を示すブロック図である。具体的には、図11は携帯電話機のシステム構成を示すものである。この携帯電話機に組み込まれる高周波電力増幅装置は、本実施形態1のHBTが組み込まれた前述の高周波電力増幅装置40である。

【0105】携帯電話機は、受信器51および送話器52を有する送受信器50と、前記受信器51に順次接続される受信信号処理部61、復調器62および前記送話器52に順次接続される送信信号処理部63、変調器64を有するベースバンド部60と、前記ベースバンド部60に接続されるRFブロック部70と、前記RFブロック部70に接続されるアンテナ80と、前記ベースバンド部60およびRFブロック部70に接続され制御回路91および表示キー92を有する制御部90とを有している。

【0106】RFブロック部70にはアンテナスイッチ71が設けられている。このアンテナスイッチ71は、

IF増幅器72、受信ミキサ73、高周波増幅器74で構成される受信部75の高周波増幅器74と、送信ミキサ76、送信電力増幅器(高周波電力増幅装置)77で構成される送信部78の送信電力増幅器77と、前記アンテナ80に接続されている。

【0107】また、受信ミキサ73および送信ミキサ76は周波数シンセサイザ79に接続されている。

【0108】送信系では、送話器52に向かって話された音声(音響信号)は、送話器52で電気信号に変換されるとともに、送信信号処理部63で送信信号に変換され、かつ変調器64でアナログからデジタルに変換される。その後、送信信号は送信部78の送信ミキサ76で周波数シンセサイザ79により目的の周波数に変換され、さらに本実施形態1の高周波電力増幅装置(送信電力増幅器)77で増幅され、アンテナスイッチ71の切り換えによってアンテナ80から電波として送信される。

【0109】受信系では、アンテナ80によって捕捉された受信信号はアンテナスイッチ71の切り換えによって受信部75の高周波増幅器74で増幅されるとともに、受信ミキサ73で周波数シンセサイザ79により目的の周波数に変換される。その後受信信号はIF増幅器72によって増幅されるとともに、ベースバンド部60の復調器62でデジタル信号からアナログ信号に変換され、かつ受信信号処理部61で信号処理され、送話器52で音響信号に変換される。

【0110】本実施形態1の携帯電話機では、高周波電力増幅装置77が高速度化されることから、送信情報の大容量化が達成できる。

【0111】本実施形態1によれば、以下の効果を有する。

【0112】(1)ベース電極9を形成する前に塩酸でInGaPエミッタ層5のエッチングを行うことから、ベース電極9を構成するMoやTiの浸食が起き難くなり電極の劣化が発生し難くなる。なお、その後に行われるリン酸系によるエッチングでは前記ベース電極9の浸食は発生しない。

【0113】(2)また、TiやMoの浸食が起き難くなることから、ベース電極9の表面劣化が発生し難くなり、電極上のマスクが剥がれ難くなり、エミッタキャップ層とベース電極9との間のInGaPエミッタ層5がエッチングされ難くなり、ヘテロ接合バイポーラトランジスタの特性の低下を低減できる。

【0114】(3)また、TiやMoの浸食等によって発生する物質がエッチング効果を低減させることがないため、InGaPエミッタ層5はエッチング用マスクに規定されて高精度にエッチングされ、InGaPの残渣の発生が起き難くなる。この結果、リン酸によるベース層4およびコレクタ層3のアンダーカットエッチング精度も良好になり、設計値通りにベース・コレクタ間容量

を形成できるようになる。したがって、高速性に優れたヘテロ接合バイポーラトランジスタを提供することができる。

【0115】(4) エッチング時にベース電極9の浸食が発生し難くなるとともに、エッチング用マスクの剥離も発生し難くなることから、HBT製造プロセスが安定し、歩留りの向上から半導体装置(ヘテロ接合バイポーラトランジスタ)の製造コストの低減も達成できる。

【0116】(5) ベース電極9はn型InGaPエミッタ層5の縁部分からベース層4に亘って形成され、かつ前記ベース電極下のn型InGaPエミッタ層5はベース電極9を構成する最下層の金属との間で合金処理(アロイ化)が図られていて、その合金層(アロイ層)のベース・コレクタ接合面に近接する側の底の深さが均一化されていることから耐圧が高くなる。

【0117】(6) 前記アロイ化はn型InGaPエミッタ層5の面方向にも進むため、エミッタキャップ層6の真下のベース層部分の真性領域とアロイ層21との間の距離がベース電極9との距離に比較して短くなり、ベース抵抗 R_B の低減が図れ、素子(HBT)の高速性が図れる。

【0118】(7) 本実施形態1のヘテロ接合バイポーラトランジスタを組み込んだ高周波電力増幅装置40は高速性等特性の良好な信頼性の高い高周波電力増幅装置となる。

【0119】(8) 本実施形態1の高周波電力増幅装置40を組み込んだ携帯電話機は、高周波電力増幅装置40が高速動作することから、送信情報の大容量化が達成できる。

【0120】(実施形態2) 図13は本発明の他の実施形態(実施形態2)であるHBTの要部を示す模式的断面図である。

【0121】本実施形態2のヘテロ接合バイポーラトランジスタは、図13に示すように、前記実施形態1のヘテロ接合バイポーラトランジスタにおいて、その製造時、ベース電極9がベース層4に直接接触しないように、コレクタ層3およびベース層4をウェットエッチングする時間をさらに長くする。この結果、ベース層4の縁はさらにエミッタ層5の中心側に位置するようになり、ベース・コレクタ接合面積は前記実施形態1の場合に比較してさらに小さくなり、ベース・コレクタ間容量もさらに低減されることになる。

【0122】したがって、ヘテロ接合バイポーラトランジスタの高速化をさらに増大させることができる。

【0123】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、前記実施形態では、半導体チップ内にHBTのみを形成した例について説明したが、他の構造のトランジスタ等の能動素子や受動部品をモノリシックに形成してIC(集積回路装置)化してよいことは勿論である。

【0124】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である無線通信装置に適用した場合について説明したが、それに限定されるものではなく、たとえば、InGaP/GaAsヘテロ接合構造を用いた光デバイスやInGaP/GaAsヘテロ接合バイポーラトランジスタを用いた光伝送装置等にも適用できる。

【0125】本発明は少なくともヘテロ接合構造の半導体デバイスには適用できる。

【0126】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0127】(1) InGaP層をエミッタ層とし、ベース電極をInGaPエミッタ層のアロイ化によってベース層に電気的に接続するInGaP/GaAsヘテロ接合バイポーラトランジスタにおいて、InGaPエミッタ層をエッチングする作業はベース電極を形成する前に行うことから、ベース電極のエッチング時の浸食が起きなくなり、ベース電極の表面劣化やベース電極とエミッタキャップ層との間のInGaPエミッタ層の劣化が発生しなくなり、ヘテロ接合バイポーラトランジスタの特性の低下を低減できる。

【0128】(2) また、ベース電極下のベース層やコレクタ層のアンダーカットを行うことから、ベース・コレクタ接合面積の低減が達成でき、ベース・コレクタ間容量の低減が達成できる。これによりヘテロ接合バイポーラトランジスタの高速性を達成することができる。

【0129】(3) ベース電極とベース層を接触させない程度にアンダーカットを大きくすることにより、さらにベース・コレクタ間容量を低減させることができる。

【0130】(4) ベース電極の最下層のPtとInGaPエミッタ層とのアロイ化を図るため、アロイ層の発生によってエミッタキャップ層の真下のベース層部分からなる真性領域とアロイ層との間隔が短くなり、ベース抵抗 R_B の低減が図れヘテロ接合バイポーラトランジスタの高速性が図れる。

【0131】(5) 本実施形態1のヘテロ接合バイポーラトランジスタを組み込んだ高周波電力増幅装置はその高速性能が高くなる。

【0132】(6) 本実施形態1の高周波電力増幅装置を組み込んだ携帯電話機は、高周波電力増幅装置が高速動作することから送信情報の大容量化が達成できる。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)であるヘテロ接合バイポーラトランジスタ(HBT)の一部を示す模式的断面図である。

【図2】本実施形態1のHBTを有する半導体装置の模

式的平面図である。

【図3】図3(a)は図2のA-A線に沿う断面図である。図3(b)は図2のB-B線に沿う断面図である。

【図4】本実施形態1のHBTの製造において半導体基板の主面にコレクタ層、ベース層、エミッタ層等になる半導体層を順次形成した状態を示す模式的断面図である。

【図5】本実施形態1のHBTの製造においてエミッタ電極とエミッタキャップ層を形成した半導体基板の模式的断面図である。

【図6】本実施形態1のHBTの製造において塩酸によるエッチングによってエミッタ層を形成した半導体基板の模式的断面図である。

【図7】本実施形態1のHBTの製造においてベース電極を形成した半導体基板の模式的断面図である。

【図8】本実施形態1のHBTの製造においてリン酸によるエッチングによってアンダーカット構造のベースメサを形成した半導体基板の模式的断面図である。

【図9】本実施形態1のHBTの製造においてコレクタ電極が形成された半導体基板の模式的断面図である。

【図10】本実施形態1のHBTが組み込まれた高周波電力増幅装置を示す斜視図である。

【図11】本実施形態1の高周波電力増幅装置の等価回路図である。

【図12】本実施形態1のHBTが組み込まれた送信電力増幅器が組み込まれた携帯電話機のシステム構成を示すブロック図である。

【図13】本発明の他の実施形態(実施形態2)であるHBTの要部を示す模式的断面図である。

【図14】本発明者が試みたHBTの製造におけるエミッタ電極とエミッタキャップ層を形成した半導体基板の模式的断面図である。

【図15】本発明者が試みたHBTの製造におけるベース電極を形成した半導体基板の模式的断面図である。

【図16】本発明者が試みたHBTの製造におけるエミッタ層をエッチングした半導体基板の模式的断面図である。

【図17】本発明者が試みたHBTの製造におけるベース層とコレクタ層をアンダーカットエッチングした半導体基板の模式的断面図である。

【図18】本発明者が試みたHBTの製造におけるInGaPエミッタ層のウェットエッチングでの不良現象を示す模式図である。

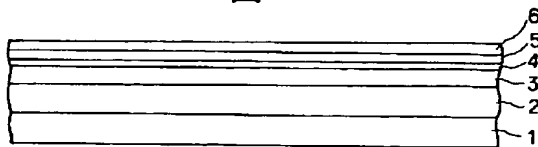
【図19】本発明者が試みたHBTの製造におけるベース層およびコレクタ層のアンダーカットウェットエッチングでの不良現象を示す模式図である。

【符号の説明】

1…基板(半導体基板:半絶縁性GaAs基板)、2…サブコレクタ層(n型GaAsサブコレクタ層)、3…コレクタ層(n型GaAsコレクタ層)、4…ベース層(p型GaAsベース層)、5…エミッタ層(n型InGaPエミッタ層)、6…エミッタキャップ層、7…エミッタ電極、8a…第1電極層、8b…第2電極層、9…ベース電極、10…エッチング用マスク、11…残渣、12…ベース・コレクタエッチング不良、13…コレクタ電極、14…絶縁膜、15…配線、16…半導体チップ、21…合金層(アロイ層)、30、31…エッチング用マスク、40…高周波電力増幅装置(送信電力増幅器)、41…配線基板、42…キャップ、43…パッケージ、50…送受話器、51…受話器、52…送話器、60…ベースバンド部、61…受信信号処理部、62…復調器、63…送信信号処理部、64…変調器、70…RFブロック部、71…アンテナスイッチ、72…IF増幅器、73…受信ミキサ、74…高周波増幅器、75…受信部、76…送信ミキサ、77…高周波電力増幅装置(送信電力増幅器)、78…送信部、79…周波数シンセサイザ、80…アンテナ、90…制御部、91…制御回路、92…表示キー。

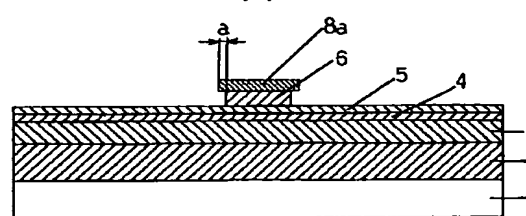
【図4】

図4

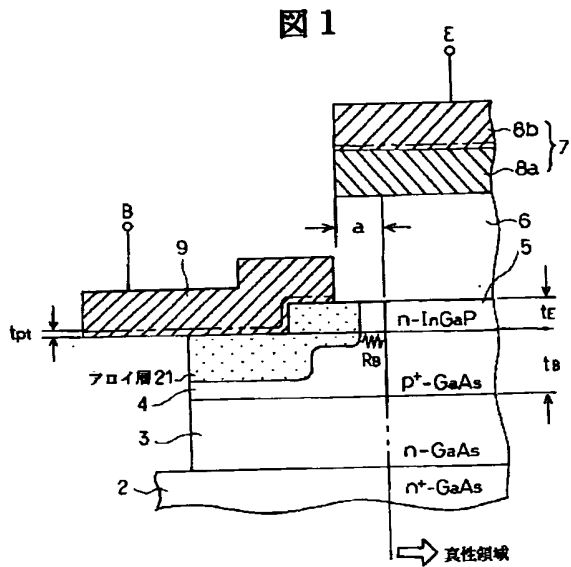


【図5】

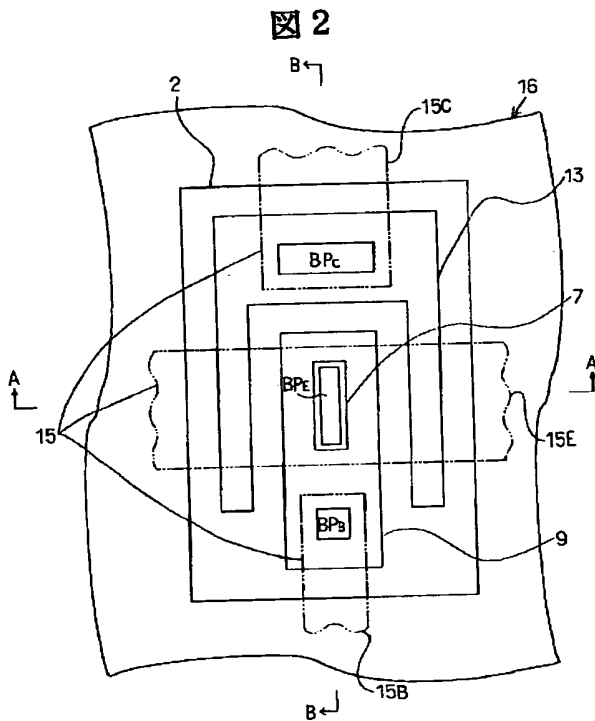
図5



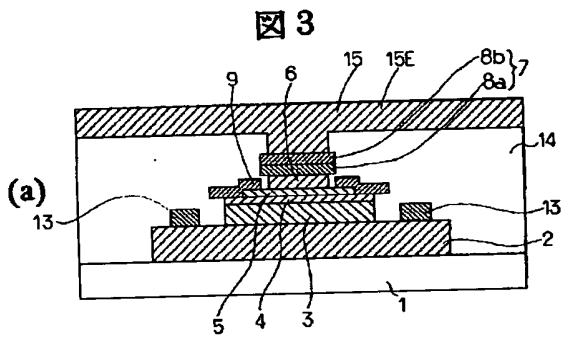
【図 1】



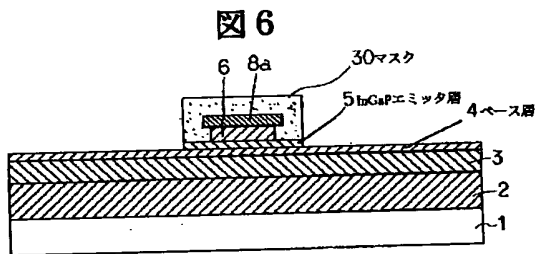
【図2】



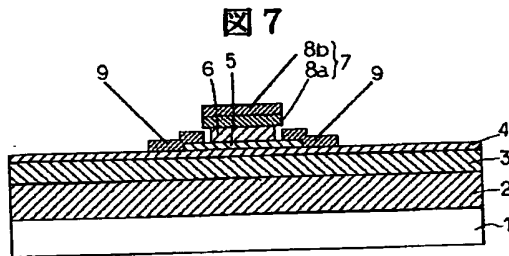
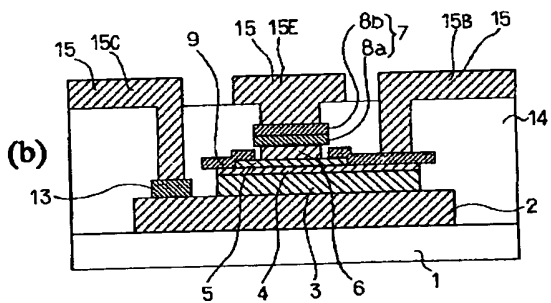
【図3】



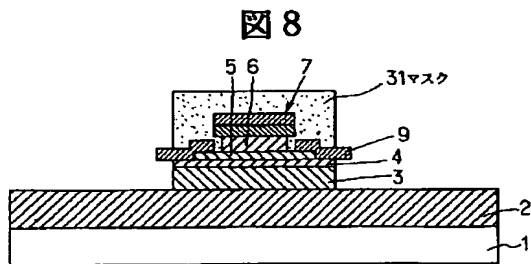
【図6】



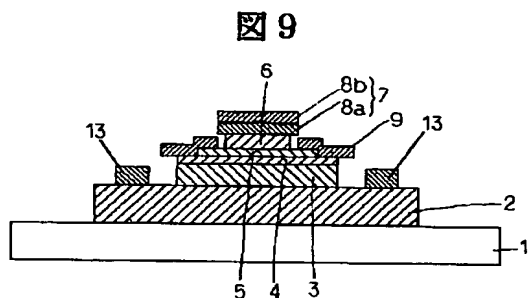
【图7】



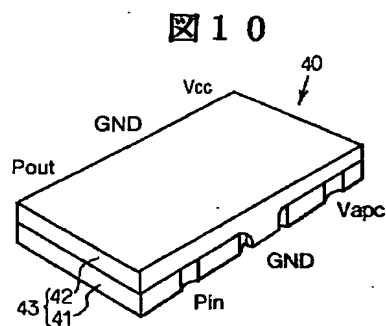
【図8】



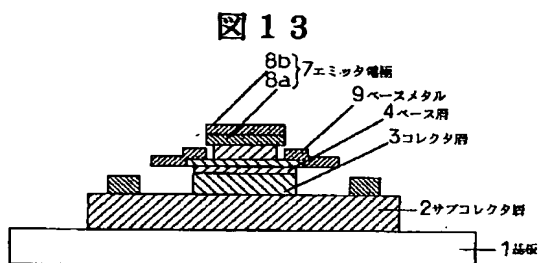
【図9】



【図10】

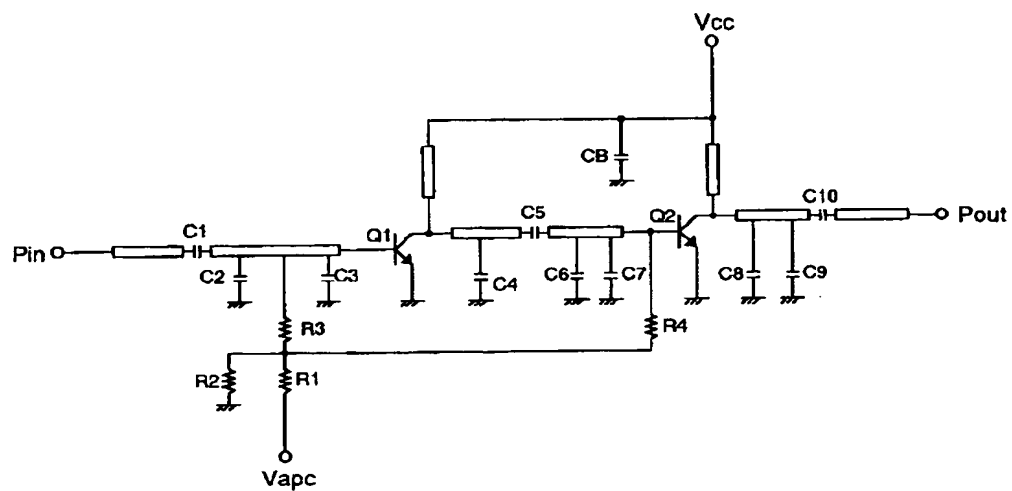


【図13】



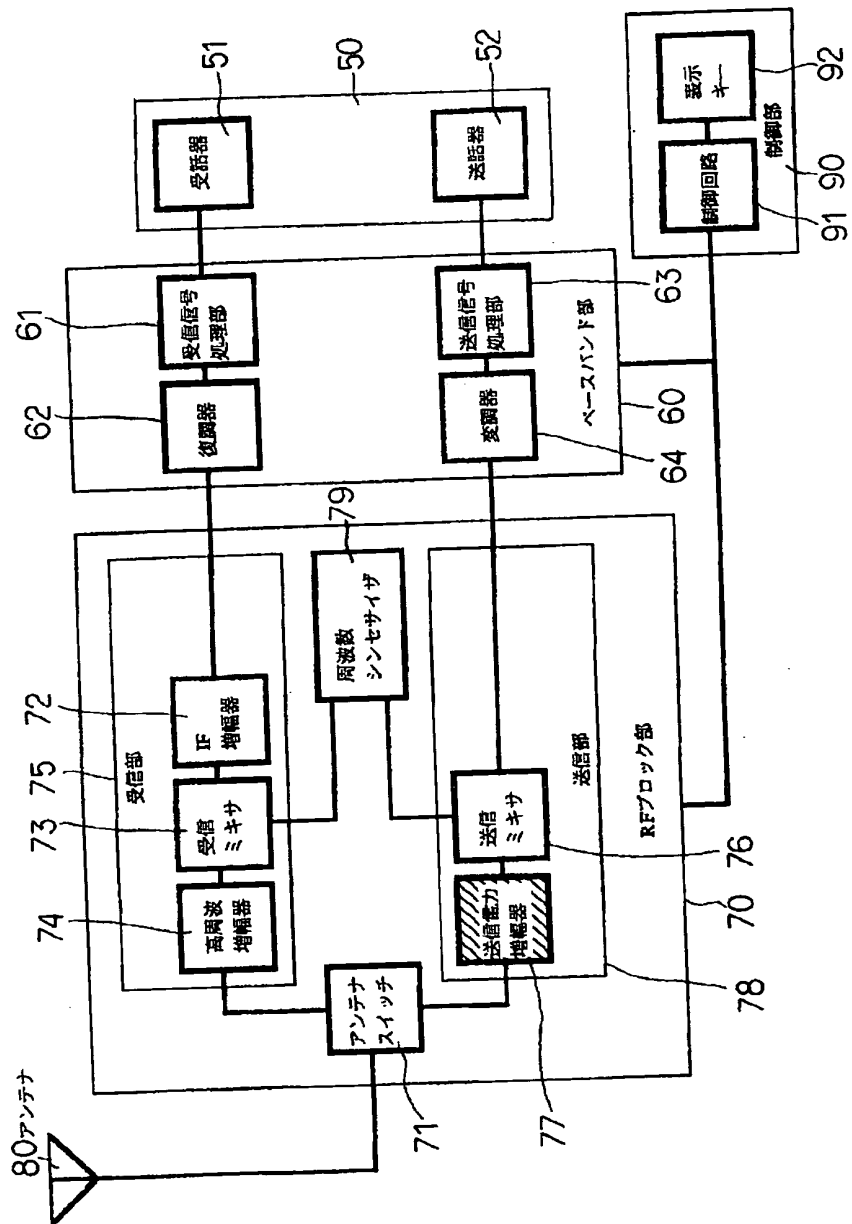
【図11】

図 11

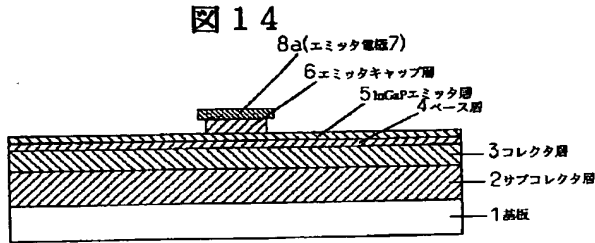


【図12】

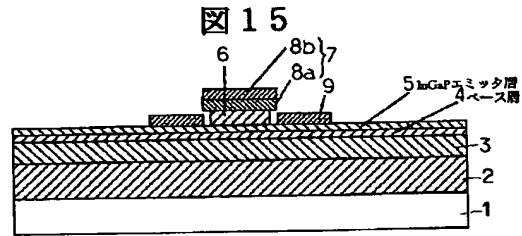
図 12



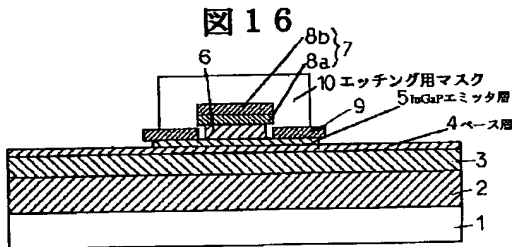
【図14】



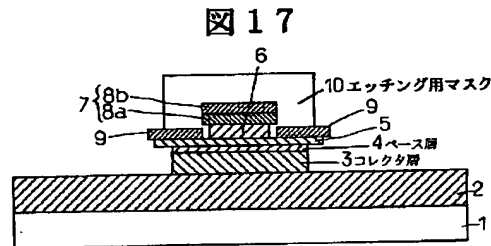
【図15】



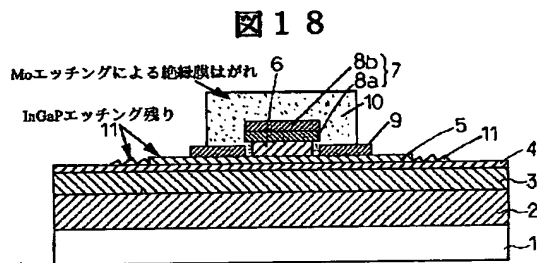
【図16】



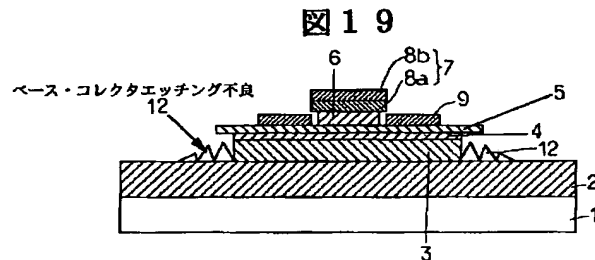
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 ▲高▼澤 浩幸
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5F003 AP05 BA92 BB02 BB05 BB08
BE05 BF06 BH01 BH05 BH07
BH08 BH93 BH99 BJ99 BM02
BM03 BP95 BS04 BS08
5J067 AA01 AA41 CA58 CA65 FA16
HA06 HA24 HA25 HA29 KA00
KA53 KA55 QA02 QA04 QS05
SA14